

基于加权比特翻转的 MLC 型 NAND 闪存系统

张 旋¹, 余 娟²

(1 西安理工大学, 陕西 西安 710082; 2 陕西师范大学, 陕西 西安 710062)

摘 要: 多级单元(Multi-Level-Cell, MLC)技术增加了 NAND 闪存的存储密度,但也增强了单元间干扰(Cell-to-Cell Interference, CCI)噪声强度,导致了 NAND 闪存的可靠性急剧下降. 在深入研究 MLC 闪存模型和 CCI 噪声模型基础上,提出了一种 MLC 型 NAND 闪存的加权比特翻转硬判决译码方法. 仿真结果表明,在 MLC 闪存信道条件下,该方法既可保证 MLC 闪存单元的可靠性,对可保持较低的译码复杂度,从而实现了译码复杂度和性能间的良好折衷.

关键词: 多级单元; 单元间干扰; 加权比特翻转译码

中图分类号: TP393

文献标识码: A

文章编号: 1000—7180(2018)02—0075—04

Research on MLC NAND Flash Memory Based on Weighted Bit-flipping Decoding Algorithm

ZHANG Xuan¹, YU Juan²

(1 Xi'an University of Technology, Xi'an 710082, China; 2 Shaanxi Normal University, Xi'an 710062, China)

Abstract: Multi-level cell (MLC) increases the storage density of NAND flash memory, while the Cell-to-Cell interference (CCI) is enhanced, and the reliability of NAND flash memory is decreased. On the research of MLC channel model and CCI noise model, this paper proposes a weighted bit-flipping decoding algorithm for MLC NAND flash memory. The simulation results show that this method can ensure the reliability of the NAND flash memory, while maintaining low decoding complexity, so as to realize a better tradeoff between complexity and decoding performance.

Key words: multi-level cell; cell-to-cell interference; weighted bit-flipping decoding

1 引言

NAND 闪存具有高存储容量、低能耗、抗震动等优点,已成为固态硬盘(Solid-State Disk, SSD)的存储介质. 多级单元(Multi-Level Cell, MLC)型 NAND 闪存通过一个浮栅单元存储 4 个不同电位存储 2 比特数据,提高了 NAND 闪存的数据存储密度. 然而,目前 NAND 闪存芯片封装尺寸减少,MLC 闪存浮栅中可存储的电子变少、相邻电位窗口间隔变窄、相邻 MLC 单元之间的寄生耦合电容效应变大,单元间干扰(Cell-to-Cell Interference, CCI)成为影响闪存阈值电压失真的主要原因. 因此 SSD 存储系统的可靠性面临着严峻的挑战^[1].

随着 NAND 闪存封装尺寸减小和 MLC 技术的应用,BCH 码已不能满足 MLC 型 NAND 闪存的可靠性要求. 逼近香农限的 LDPC 码,由于其在迭代译码下拥有非常好的纠错性能,现已成为提高 MLC 型 NAND 闪存可靠性的研究方向之一^[2]. 但其复杂度高,译码时延开销大,不易于工程实现. 而硬判决译码算法如比特翻转(Bit-Flipping, BF)译码算法复杂度低,译码时延小,但其纠错性能相对不足^[3].

2 MLC 型 NAND 闪存

MLC 闪存采用格雷码将四个不同的电位映射成不同的数据($s_0 = 11, s_1 = 01, s_2 = 00, s_3 = 10$),

相邻状态的格雷码仅有一位二进制不同,可有效降低原始误比特率(Raw Bit Error Rate, RBER)(如图 1 所示). 其中 $s_0 = 11$ 表示擦除状态(Erase State), $s_1 = 01$, $s_2 = 00$ 和 $s_3 = 10$ 分别表示三个编程状态(Program State). 把左侧的数据位称为最高有效位(Most Significant Bit, MSB), 把右侧的数据位称为最低有效位(Least Significant Bit, LSB).

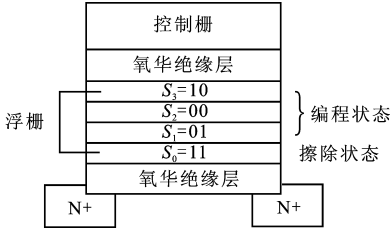


图 1 MLC 闪存基本结构

2.1 MLC 阈值电压模型的建立

闪存单元在被编程之前一定要被擦除,从而使它的阈值电压达到最低的电压。被擦除的 MLC 阈值电压服从高斯分布。因此,擦除状态的阈值电压分布可表示为式(1)^[4](如图 4(a) 所示)。

$$p_{s_0}(x) = \frac{1}{\sigma_e \sqrt{2\pi}} \exp \left(-\frac{(x - \mu_e)^2}{2\sigma_e^2} \right) \quad (1)$$

式中, μ_e 和 σ_e 分别表示擦除状态阈值电压分布的期望和标准差。

闪存单元的编程操作是通过迭代的增量步长脉冲程序(Incremental-Step-Pulse-Program, ISPP) 操作过程实现^[5]。如图 2 所示,每一次编程操作之后,闪存单元的阈值电压增加 ΔV_{pp} ,当增加到该闪存单元的校验电压 V_p 之后,便停止注入电荷过程,编程状态的阈值电压倾向于一个在 $[V_p, V_p + \Delta V_{pp}]$ 之间的均匀分布,其宽度为 ΔV_{pp} 。记第 k 个($k \in \{1, 2, 3\}$) 编程状态的 V_p 和 $V_p + \Delta V_{pp}$ 为 $V_l^{(k)}$ 和 $V_r^{(k)}$,第 k 个编程状态的阈值电压分布为式(2)^[4](如图 4(a) 所示)。

$$p_{s_1|s_2|s_3}^{(k)}(x) = \begin{cases} \frac{1}{\Delta V_{pp}}, & \text{if } V_l^{(k)} \leq x \leq V_r^{(k)} \\ 0, & \text{else} \end{cases} \quad (2)$$

式中, $V_l^{(k)}$ 和 $V_r^{(k)}$ 表示第 k 个编程状态阈值电压分布的 ΔV_{pp} 和 $V_p + \Delta V_{pp}$ 。

2.2 单元间干扰噪声模型的建立

MLC 闪存单元浮栅的阈值电压改变会因为寄生耦合电容的存在,对其相邻闪存单元的阈值电压产生影响,称之为单元间干扰^[6]。每个单元最多只受

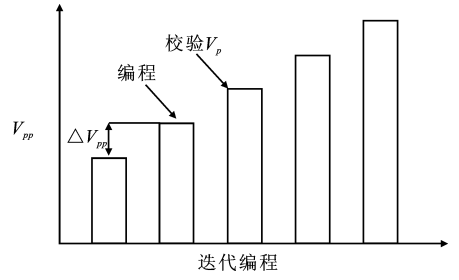


图 2 ISPP 过程

到下字线(Word Line, WL)的 3 个闪存单元的 CCI 影响(如图 3 所示)。随着 NAND 闪存存储密度的增大,相邻单元的距离变得越小,寄生耦合电容变大,进而导致更严重的单元间干扰。单元间干扰的大小 F 可以使用式(3)计算^[4]。

$$\begin{cases} F = \sum_k (\Delta V_t^{(k)} \cdot \gamma^{(k)}) \\ \gamma^{(k)} = \frac{C^{(k)}}{C_{\text{total}}} \end{cases} \quad (3)$$

式中, $\Delta V_t^{(k)}$ 表示第 k 个干扰单元(Interfering Cell)编程操作之后阈值电压的变化量, $\gamma^{(k)}$ 表示单元间寄生电容耦合系数, $C^{(k)}$ 表示干扰单元和受干扰单元(Victim Cell)之间的寄生耦合电容, C_{total} 表示受干扰闪存单元总电容大小。

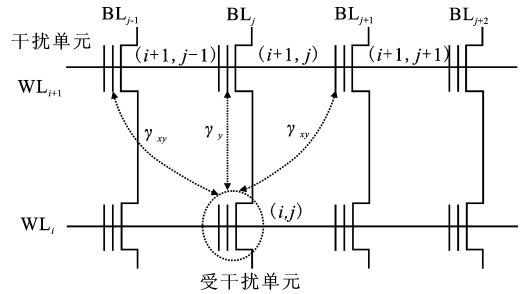
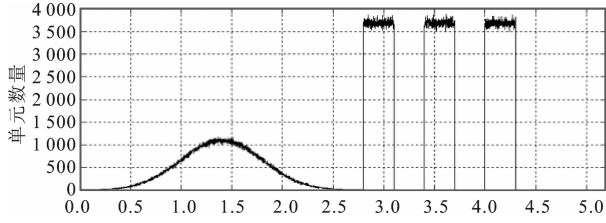


图 3 CCI 干扰示意图

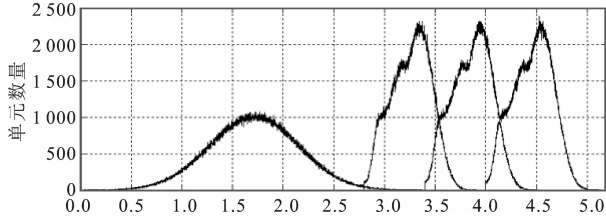
为了方便表示,引入闪存单元间寄生电容耦合强度因子 s ,耦合强度因子 s 的大小代表了单元间干扰的强弱。对 MLC 闪存信道仿真参数设置为:擦除状态阈值电压分布概率密度函数 $p_{s_0}(x)$ 的均值 $\mu_e = 1.4$,标准差 $\sigma_e = 0.4$,迭代编程步长电压增量 $\Delta V_{pp} = 0.3$ V,三个编程状态的校验电压 V_p 分别为 2.8 V, 3.4 V 和 4.0 V。CCI 噪声参数设置为:垂直方向电容耦合系数 $\gamma_y = 0.08$ s,对角线方向的电容耦合系数 $\gamma_{xy} = 0.006$ s, $s \in [1.0, 2.0]$ 。通过蒙特卡洛仿真,统计 MLC 闪存单元经过 CCI 噪声之后的 MLC 阈值电压分布直方图统计结果。

由图 4(b)分析可得,MLC 闪存存在加入 CCI 噪声后,MLC 闪存单元阈值电压发生波动,编程状态

的单元阈值电压会向右偏移,相邻的阈值电压分布出现重叠区域,位于此区域的 MLC 单元在判决时出错概率较高,进而导致错误读取存储的数据。



(a) 闪存单元阈值电压分布



(b) CCI 之后闪存单元阈值电压分布

图 4 MLC 闪存加入 CCI 噪声后单元阈值电压分布

3 MLC 闪存的加权比特翻转译码算法

3.1 MLC 闪存模型中 LLR 值的计算

对一个二进制信息 x , 如果给定 $p(x=0)$ 的概率, 那么可计算出 $p(x=1) = 1 - p(x=0)$ 的概率. 式(4)定义的 $L(x)$ 就是 x 的对数似然比 (Log-Likelihood Ratio, LLR), $L(x)$ 的符号决定了此位的取值(1 或者 0), 而其绝对值大小代表了取值正确的可能性.

$$L(x) = \ln \left(\frac{p(x=1)}{p(x=0)} \right) \quad (4)$$

读取 MLC 闪存单元中存储的数据时, 需要将感知的 MLC 阈值电压地映射成 LLR. 多精度感知 (Multiple Precision Sensing) 是获取 MLC 中 MSB 和 LSB 位对数似然比的重要方法. 多精度感知是在两个相邻阈值电压重叠区域使用 k 个参考电压. 图 5 是 $k=3$ 的多精度感知, $i \in \{1, 2, 3\}$, $j \in \{1, 2, \dots, k\}$, 那么 $V_{th,i,j}$ 代表在 MLC 阈值电压分布 i 和阈值电压分布 $i+1$ 之间的重叠区域中第 j 个参考电压. 这样 MLC 单元阈值电压就被参考电压分为了 $3k+1$ 个区间. 当读操作进行时, 通过将 V_{th} 和不同的参考电压比较, 就可以确定 V_{th} 落入了哪个区间中, 根据这个信息, 通过式(5)和式(6)可计算出 MLC 单元中 MSB 和 LSB 位对应的 LLR 值. 假设单元的阈值电压 V_{th} 落入了区间 $[V_{th,i}, V_{th,i+1}]$ 中, 那么 LSB 和 MSB 的 LLR 值分别为

$$L_{LSB} = \ln \frac{P(V_{th} \in [V_{th,i}, V_{th,i+1}] | LSB = 1)}{P(V_{th} \in [V_{th,i}, V_{th,i+1}] | LSB = 0)}$$

$$= \ln \frac{\sum_{l \in \{0,1\}} P(V_{th} \in [V_{th,i}, V_{th,i+1}] | l)}{\sum_{l \in \{2,3\}} P(V_{th} \in [V_{th,i}, V_{th,i+1}] | l)} \quad (5)$$

$$L_{MSB} = \ln \frac{P(V_{th} \in [V_{th,i}, V_{th,i+1}] | MSB = 1)}{P(V_{th} \in [V_{th,i}, V_{th,i+1}] | MSB = 0)}$$

$$= \ln \frac{\sum_{l \in \{0,3\}} P(V_{th} \in [V_{th,i}, V_{th,i+1}] | l)}{\sum_{l \in \{1,2\}} P(V_{th} \in [V_{th,i}, V_{th,i+1}] | l)}$$

$$= \ln \frac{\int_{V_{th,i}}^{V_{th,i+1}} \{p_{s_0}(V_{th}) + p_{s_3}(V_{th})\} dV_{th}}{\int_{V_{th,i}}^{V_{th,i+1}} \{p_{s_1}(V_{th}) + p_{s_2}(V_{th})\} dV_{th}} \quad (6)$$

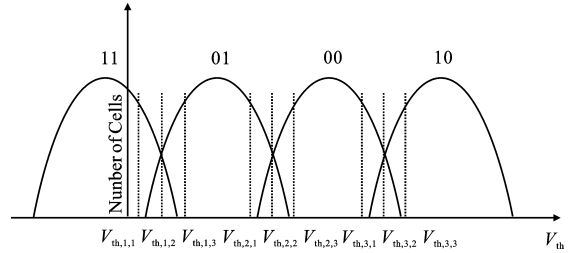


图 5 多精度($k=3$)感知示意图

3.2 MLC 闪存的加权比特翻转译码算法

比特翻转译码算法译码过程中只涉及简单逻辑运算, 复杂度非常低, 然而纠错能力有限^[7]. 为了提高纠错能力, 同时保证较低的译码复杂度, 本文将加权比特翻转译码算法作为 MLC 闪存中差错控制技术(算法 1), 提高纠错性能, 同时还具有较低的计算复杂度.

算法 1 MLC 闪存信道中加权比特翻转译码算法

利用 2.1 节方法获取 MLC 闪存单元的阈值电压 V_{th}

分别利用式(5)与式(6)计算 L_{MSB} 与 L_{LSB}

procedureDecode(L_n)

for $n=1:N$ do

$$z_n = \begin{cases} 1, & L_n > 0 \\ 0, & L_n \leq 0 \end{cases}$$

end for

$I=0$

for $m=1:M$ do

$$\omega_m = \min_{n \in A(m)} \{|y_n|\}$$

end for

repeat

for $m=1:M$ do

$$s_m = \sum_{n \in A(m)} z_n h_{mn}$$

end for

```
if S=0 or I=Imax then
    Finished
else
    for n=1:N do
        En=∑m∈B(n) (2sm-1)ωm
    end for
    for n=arg maxn∈[1,N] En do
        zn=(zn+1) mod2
    end for
    I=I+1
end if
until Finished
end procedure
```

4 仿真实验及分析

考虑到闪存系统的存储效率,一般选取高码率的 LDPC 码. 仿真中采用码率为 0.95、列重为 4、行重为 80 的 QC-LDPC 码(34520,32794),该码最短环长为 6,避免了由短环造成的译码性能下降,最大迭代次数为 50. 仿真实验对 100 个闪存块进行仿真,每个闪存块 32 页,每页中有 17 260 个 MLC 闪存单元,精度感知采用 $p=4, 5$ 和 6,MLC 闪存信道和 CCI 噪声模型参数与 2.2 节相同.

图 6 给出了 LDPC 码 BF 算法与 WBF 译码算法在 MLC 闪存信道中 QC-LDPC 码(34 520, 32 794)码在 3 种感知精度下,耦合强度 s 与误比特率 BER 的关系. 从仿真结果可以得出:

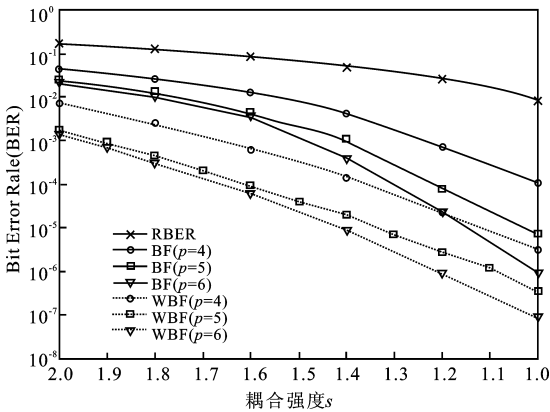


图 6 (34 520,32 794) QC-LDPC 码在 BF 译码算法与 WBF 译码算法下的译码性能

- (1) BF 译码算法和 WBF 译码算法均能有效降低闪存中误比特率,提高闪存可靠性;相比于 BF 译码算法,WBF 译码算法译码性能更好;
- (2)图中的交点是指感知精度 $p=6$ 的 BF 译码算法的误比特率与感知精度 $p=3$ 的 WBF 译码算

法误比特率相同. 在相同耦合强度 s 下,感知精度 p 越高,LLR 值越精确,译码算法性能越好.

5 结束语

针对 CCI 成为影响 MLC 型 NAND 闪存可靠性的主要因素,提出了一种 MLC 型 NAND 闪存加权比特翻转硬判决译码方法. 在深入分析 MLC 闪存模型和 CCI 信道模型基础上,计算出 MLC 单元中 MSB 和 LSB 位的 LLR 值,将该值作为校验方程可靠性权重,计算闪存页中每比特信息的翻转函数值,该方法结合了软判决和硬判决的优势,在提高 BF 译码算法译码性能的同时保持较低的译码复杂度.

参考文献:

[1] DEAN K. The history of semiconductor memory: from magnetic tape to NAND flash memory[J]. IEEE Solid-State Circuits Magazine,2016, 8(2): 16-22.

[2] SALA F, IMMINK K, DOLECEK L. Error control schemes for modern flash memories solutions for flash deficiencies[J]. IEEE Consumer Electronics Magazine, 2015, 4(1): 66-73.

[3] TOFAR C, YU T. Dynamic weighted bit-flipping decoding algorithms for LDPC codes[J]. IEEE Transactions on Communications,2015, 63(11): 3950-3963.

[4] CHAUDHRY A, GUANG Y,CAI K. Read and write voltage signal optimization for multi-level-cell (MLC) NAND flash memory[J]. IEEE Transactions on Communications, 2016, 64(4): 1613-1623.

[5] SUH K, SUH B, LIM Y, et al. A 3.3V 32Mb NAND flash memory with incremental step pulse programming scheme[J]. IEEE Journal of Solid-State Circuits, 1995, 30(11): 1149-1156.

[6] PARK K, KANG M, KIM D, et al. A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories[J]. IEEE Journal of Solid-State Circuits, 2008, 43(4): 919-928.

[7] 张高远,周亮,文红. LDPC 码加权比特翻转译码算法研究[J]. 电子与信息学报, 2014, 36(9): 2093-2097.

作者简介:

张旋男,(1980-),硕士研究生.研究方向为计算机网络与差错控制技术、大数据系统中数据的可靠性技术. E-mail:zxolive@163.com.

余娟女,(1980-),博士研究生,讲师.研究方向为复杂系统及优化控制.